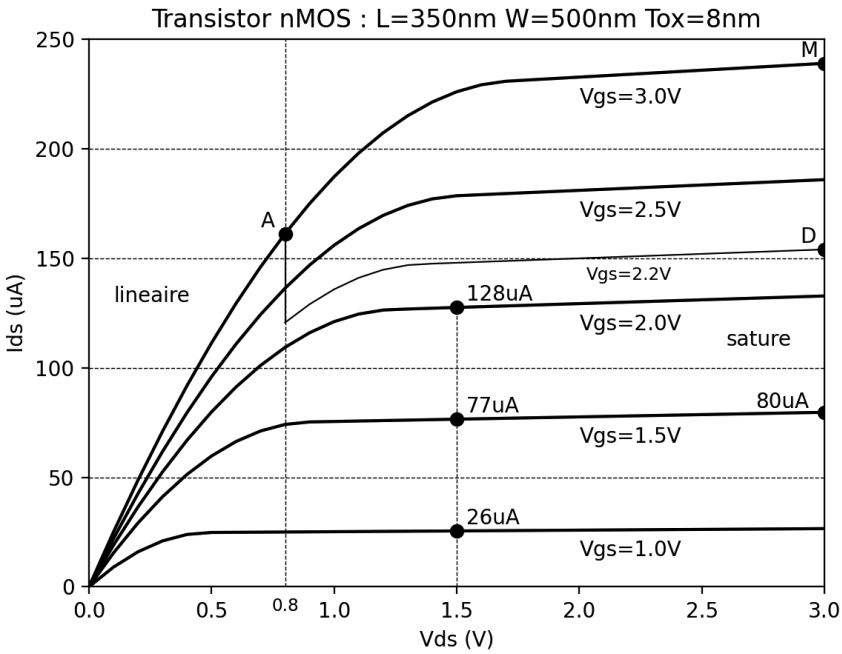
ES102/PC5 : énoncé

1) Inverseur CMOS en « grands et petits signaux »

Ci-contre sont présentées les caractéristiques $I_{DS}(V_{DS})$ d'un transistor nMOS, pour différentes valeurs de V_{GS}. Il s'agit d'un transistor de taille minimale dans une technologie CMOS 350nm (bien plus grossière que les technologies numériques de pointe), toujours exploitée, mais pour des circuits analogiques.



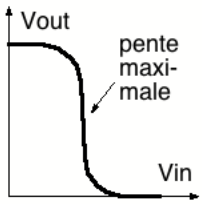
1a) $3.9 \times 8.85 \cdot 10^{-12} \times 0.35 \cdot 10^{-6} \times 0.5 \cdot 10^{-6} / 8 \cdot 10^{-9}$: ainsi est estimée à 0,75 fF la capacité de grille du transistor ci-contre. Expliquer ce calcul.

1b) La capacité d'entrée C_{inv} d'un inverseur minimal équilibré sera donc d'environ 3fF. Pourquoi ?

1c) On considère une chaîne de tels inverseurs, alimentés sous Vdd=3V. Chacun demande donc le même délai pour transmettre (en l'inversant) une commutation, de son prédécesseur vers son successeur. Estimer ce délai.

1d) La question précédente donne une idée des délais combinatoires élémentaires pour la technologie considérée. Si l'on reboucle une chaîne de 3 tels inverseurs, que se passe-t-il ?

1e) En pratique, pour disposer d'un signal d'horloge, on se sert (presque) toujours d'un quartz externe et non d'un oscillateur en anneau interne. Devinez pour quelles raisons.



On s'intéresse désormais aux aspects *petits signaux* de l'inverseur, en particulier à son gain, c'est-à-dire à la pente maximale de sa caractéristique $V_{out}(V_{in})$. On suppose le transistor nMOS ci-dessus associé à un transistor pMOS de « force » identique, en fait aux caractéristiques symétriques, c'est-à-dire tel que : $V_{GSp}=-V_{GSn}$ et $V_{DSp}=-V_{DSn} \Rightarrow I_{DSp}=-I_{DSn}$. Par symétrie, $V_{out}=V_{in}=1{,}5V$ sera un point de fonctionnement de l'inverseur considéré et c'est en ce point que sera observée la pente maximale. Pour la calculer, il faut connaître la transconductance $g_m=\partial I_{DS}/\partial V_{GS}$ et la conductance de sortie $g_o=\partial I_{DS}/\partial V_{DS}$ du transistor nMOS au point considéré. En fait, c'est plutôt l'inverse de g_o, la résistance de sortie R_o, qui sera utilisée, pour simplifier les équations. Il faudra aussi utiliser ces grandeurs pour le transistor pMOS. On les distinguera par un indice *n* ou un indice *p*.

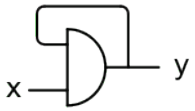
1f) Estimer les grandeurs g_{mn} et R_{on} au point de fonctionnement $(V_{GS}, V_{DS}) = (1.5V, 1.5V)$.

1g) Calculer analytiquement le gain de l'inverseur CMOS considéré autour d'un certain Vin, puis l'estimer en V_{in}=1,5V, en se souvenant que, par symétrie, $g_{mp}=g_{mn}$ et $R_{op}=R_{on}$ en ce point.

2) Premiers montages séquentiels

La logique séquentielle diffère de la logique combinatoire en ce que les sorties présentent des valeurs qui dépendent de l'historique des entrées, grâce à des montages en boucle fermée.

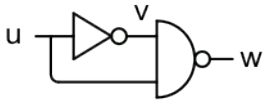
L'électronique numérique moderne repose sur la logique séquentielle dite *synchrone* (et son élément fondamental, la bascule D), séquencée par un signal d'horloge. Pour mieux l'introduire, on considère d'abord ici un montage séquentiel *asynchrone*, donc sans horloge.



2a) Comment se comporte la sortie *y* du montage ci-contre en fonction de l'historique de son entrée *x* ? Pour enrichir l'analyse, on peut remplacer la porte AND par son BDD (multiplexeur sur cofacteurs négatif et positif).

2b) La porte AND n'est qu'une abstraction de la réalité. Mais, ce niveau d'abstraction (le niveau porte, en l'occurence) restitue-t-il correctement les propriétés de stabilité tenues pour acquises ci-dessus ? Méfiant, on peut en douter. S'en assurer en descendant au niveau *transistors*.

Le montage ci-dessus est ultra-réactif : il suffit d'une très brève impulsion sur *x* pour le faire basculer. Cette réactivité est le propre des circuits asynchrones. Mais la réactivité peut être contre-productive sur les transitions parasites d'un signal d'entrée…



2c) D'un point de vue logique, le montage ci-contre, d'entrée *u*, fournit toujours la sortie w=1. D'où un caractère peu réaliste, sur lequel on ne se méprendra pas cependant : il s'agit d'un cas d'école, c'est-à-dire le plus simple possible, pour illustrer un problème d'ordre général. Prenant en compte le temps de réponse de l'inverseur, la sortie *w* demeure-t-elle effectivement à 1 lorsque l'entrée *u* varie ?

L'exemple précédent souligne que la logique combinatoire est un monde agité : à partir de l'instant où les entrées d'un bloc combinatoire sont fixées, les sorties peuvent changer plusieurs fois avant d'adopter leurs valeurs définitives. La *logique séquentielle synchrone* laisse justement le temps aux blocs combinatoires de se stabiliser. Ce temps est en gros la période de l'horloge, en tout cas une part importante de celle-ci. C'est seulement une fois ce temps écoulé, au top d'horloge, que les bascules D viennent prendre en compte les valeurs des sorties combinatoires.

2d) Modifier le montage rebouclé initial pour que les valeurs de l'entrée *x* soient prises en compte seulement aux tops de l'horloge CK, devenant ainsi un *circuit séquentiel synchrone*.

2e) Rajouter une fonctionnalité d'initialisation *synchrone* (c'est-à-dire prise en compte au top d'horloge seulement), commandé par *init*, qui fasse passer *y* à 1 quelle que soit la valeur de *x*.

2f) Dessiner un chronogramme des opérations.

La logique séquentielle synchrone permet aussi de reboucler des montages combinatoires qui ne présenteraient aucun état stable binaire si rebouclés directement, tel qu'un inverseur.

2g) Décrire le comportement d'un inverseur rebouclé par une bascule D.

2h) Sur cette base, resongeant à l'oscillateur en anneau de l'exercice précédent, comment obtenir un signal qui oscillerait à quelques Hz ?