ES102/PC3 : énoncé

1) Fonctions décroissantes

1a) Soit $f \in F_n$ représentée sur le n-cube. Comment se caractérise une fonction décroissante ?

1b) Soit $f \in F_n$ décroissante non constante. Démontrer que f(0–0)= 1 et f(1–1)=0.

1c) Quelles sont donc les fonctions f décroissantes non constantes de F_2 et les noms des portes correspondantes ?

2) Premières portes CMOS

Une porte CMOS est un montage constitué de transistors MOS qui connectent sa sortie soit à la masse soit à l'alimentation pour produire une valeur soit 0 soit 1 selon les entrées appliquées sur les grilles des transistors. Une telle porte implante donc une fonction booléenne particulière.

2a) Faire un bref récapitulatif des « services binaires » offerts par les transistors nMOS et pMOS et comprendre d'abord pourquoi ils permettront seulement d'implanter des fonctions booléennes décroissantes par rapport aux variables binaires appliquées sur leurs grilles.

2b) Du coup, comment va-t-on pouvoir implanter des fonctions croissantes ?

2c) Et si les transistors avaient été « croissants » ?

2d) Repartant de l'inverseur CMOS vu au CM3, implanter en transistors les portes NAND et NOR.

2e) Comment étendre ces portes à 3 variables ?

L'*état passant* d'un transistor est défini comme la fonction booléenne qui vaut 1 *ssi* il est passant. Cette notion se généralise aux branches et blocs de transistors, devenant la fonction caractéristique des différents jeux d'entrée qui rendent passant le transistor, la branche, le bloc.

2f) Exprimer les états passants des blocs *n* et *p* pour les portes inverseur, NAND et NOR.

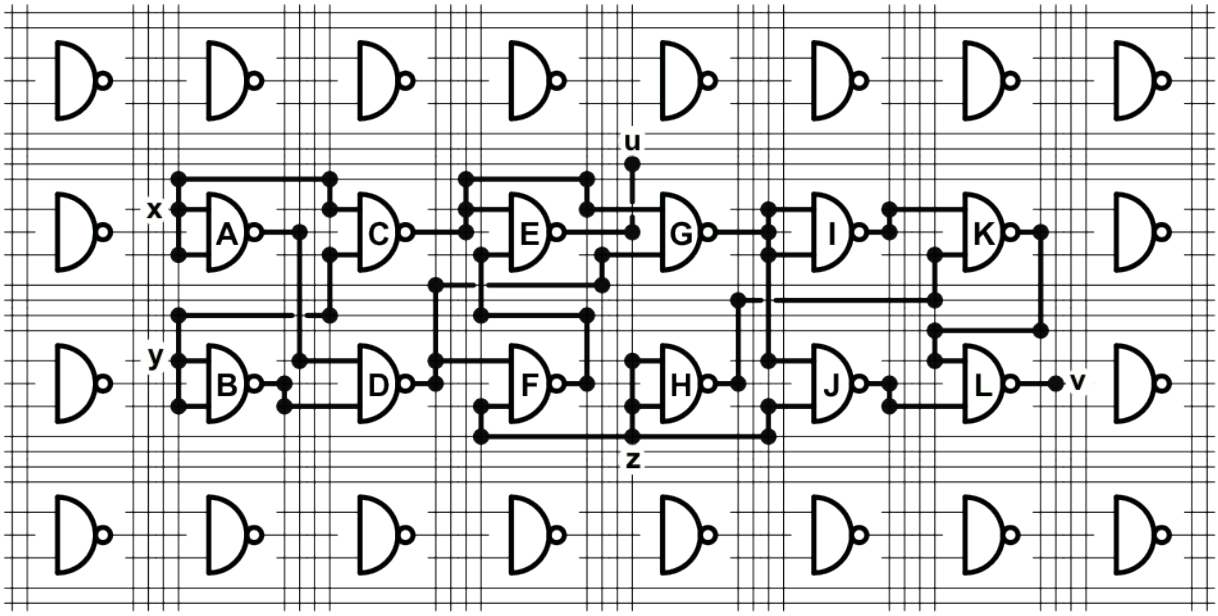
2g) Quels liens y a-t-il entre états passants des blocs *n* et *p* et fonction f implantée ?

2h) Comment réaliser une porte AND (ET) ?

3) Utilisation d'un NAND Gate Array

La figure suivante montre une petite portion (8×4) d'une matrice périodique de portes (*Gate Array*). Il s'agit ici de portes NAND. Leurs entrées et sorties peuvent être connectées arbitrairement (dans certaines limites) via un réseau de communication configurable.

Ce réseau est constitué d'un ensemble de canaux, représentés en trait fin ci-dessous, dont les différentes sections sont des connexions électriques. Celles qui sont exploitées sont représentées en trait épais. Canaux horizontaux et verticaux courent à deux niveaux différents et ne se touchent donc pas quand ils se croisent. Mais on peut les connecter au moyen d'une « soudure », représentée ci-dessous par un point noir.



Un circuit d'entrées *x*, *y* et *z* et sorties *u* et *v* y a été implanté. Quelle est sa fonction ?

Illustrant « l'omnipotence » de la porte NAND, le présent exercice sensibilise également à la réalité du *routage* des signaux à bord des cartes et puces électroniques. Enfin, ce *NAND Gate Array* préfigure un composant bien plus évolué, appelé FPGA, pour *Field Programmable Gate Array*, dans lequel le réseau de communication est géré logiciellement. Dans un tel FPGA, ce sont des transistors, pilotés par des signaux de configuration, qui réalisent les connexions. La « maille périodique » y contient des centaines de transistors (par opposition aux 4 utilisés ici par la porte NAND). Ces FPGA jouent aujourd'hui un rôle majeur en électronique numérique, pour le développement, et la production en moyenne série.